

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-267567

(43)Date of publication of application : 15.10.1993

(51)Int.Cl.

H01L 27/04
H01L 27/108

(21)Application number : 03-082985

(71)Applicant : TOKYO ELECTRON LTD
HORIIKE YASUHIRO

(22)Date of filing : 25.03.1991

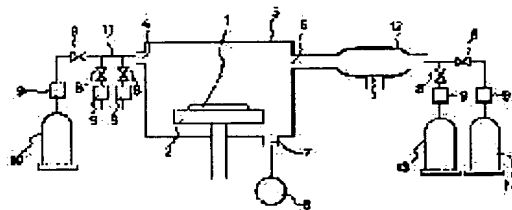
(72)Inventor : HORIIKE YASUHIRO
KAWAMURA GOHEI

(54) FORMATION OF SEMICONDUCTOR FILM

(57)Abstract:

PURPOSE: To form films, which hardly take in unreacted middle products and have stoichiometrically similar compositions and are high in permittivity and favorable in breakdown strength property, in the shape of a laminate, on the surface of a semiconductor substrate.

CONSTITUTION: Tantalum is stacked uniformly on the surface of a semiconductor substrate 1 arranged in a reaction chamber 3 by supplying source gas, which includes organic tantalum, and hydrogen radical into the reaction chamber 3 and reacting them upon each other. After stacking tantalum, the dielectric film of an oxide tantalum film is made by reacting oxygen radical upon the source gas. Hereafter, the dielectric film is made in the shape of a laminate by repeating the film growth process.



LEGAL STATUS

[Date of request for examination] 13.11.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2764472

[Date of registration] 03.04.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-267567

(43) 公開日 平成5年(1993)10月15日

(51) Int.Cl. ⁵	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L 27/04	C	8427-4M		
27/108		8728-4M	H 0 1 L 27/10	3 2 5 J

審査請求 未請求 請求項の数4(全 5 頁)

(21) 出願番号 特願平3-82985

(22) 出願日 平成3年(1991)3月25日

(71) 出願人 000219967

東京エレクトロン株式会社

東京都新宿区西新宿2丁目3番1号

(71) 出願人 591077070

堀池 靖浩

広島県広島市南区松川町2-22-703

グローバル松川町

(72) 発明者 堀池 靖浩

広島県広島市東区光が丘10-7-603

(72) 発明者 川村 剛平

山梨県韭崎市長坂町三ツ沢650東京エレクトロン株式会社内

トロン株式会社内

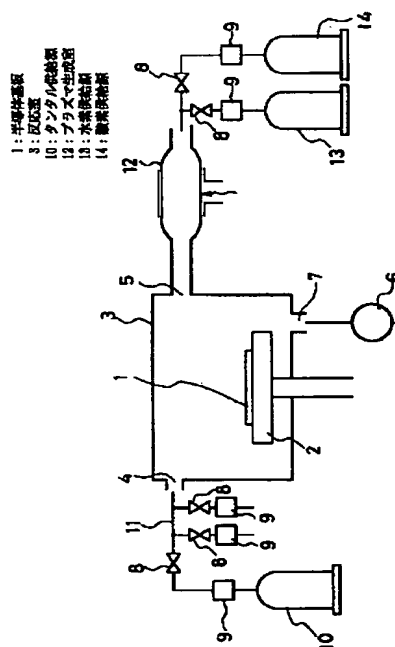
(74) 代理人 弁理士 中本 菊彦

(54) 【発明の名称】 半導体の成膜方法

(57) 【要約】

【目的】 半導体基板の表面に未反応の中間生成物の取り込まれにくい、化学量論的に近い組成を有する高誘電率で耐圧特性の良好な薄膜を積層状に形成する。

【構成】 有機タンタルを含むソースガスと水素ラジカルを反応室3内に供給して、反応させて反応室3内に配設された半導体基板1の表面にタンタルを均一に堆積させる。タンタルを堆積した後、ソースガスに酸素ラジカルを反応させて酸化させて、酸化タンタル薄膜の誘電体膜を形成する。以下、上記成膜工程を繰り返して誘電体膜を積層状に形成する。



【特許請求の範囲】

【請求項1】 半導体基板の表面に電極膜を形成する半導体の成膜方法において、

有機タantalを含むソースガスと水素ラジカルを反応させて上記基板表面にタantalを均一に堆積させる工程と、上記ソースガスに酸素ラジカルを反応させて酸化させる工程とを繰り返し行うことによって、積層状の酸化タantalの誘電体膜を形成することを特徴とする半導体の成膜方法。

【請求項2】 誘電体膜を、酸化タantal膜と、酸化ジルコニウム、酸化チタン、酸化タングステン、酸化ニオブ、酸化ハフニウム及び酸化イットリウム等の金属酸化膜の一部又は全部とを交互に積層した積層膜としたことを特徴とする請求項1記載の半導体の成膜方法。

【請求項3】 誘電体膜と、この誘電体膜中の酸素の還元防止用の導電膜とを積層したことを特徴とする請求項1又は2記載の半導体の成膜方法。

【請求項4】 導電膜が、シリコン窒化膜、タantal窒化膜、チタン窒化膜又はタングステン窒化膜のいずれかであることを特徴とする請求項3記載の半導体の成膜方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は半導体の成膜方法に関するもので、更に詳細には、半導体基板の表面に電極薄膜を積層状に形成する半導体の成膜方法に関するものである。

【0002】

【従来の技術】 近年、半導体デバイスの高性能化と高集積化へ向って新しい工程が開発されており、その中の1つとしてキャパシター形成技術が重要課題とされている。

【0003】 一般に、真空の誘電率： ϵ_0 、物質の比誘電率： ϵ_r 、キャパシター表面積： S 、キャパシター膜厚： d とすると、キャパシター： C は以下のように表される。

$$【0004】 C = \epsilon_0 \cdot \epsilon_r \cdot S / d$$

したがって、キャパシターの容量の増大を図るにはキャパシター膜厚を減少すればよく、現在の1MDRAMのような小容量な半導体デバイスにおいては微細化に伴い減少するキャパシター容量を平板型のままで薄膜化、すなわちキャパシター膜厚の減少で対応することができる。

【0005】 しかし、4M以上の微細化には、現在の SiO_2/Si_3N_4 誘電体積層膜のメモリーセルの薄膜化は、物理的な限界に達しつつある。その理由は、①これらの薄膜化には被誘電率が低い(3.8)ことと、②50オングストローム(A)以下に薄膜化すると、リーク電流が増大することの2点に起因する。そこで、従来では、容量不足を補うため、三次元構造化、すなわちキ

ャパシター表面積(S)の拡大が図られてきている。このキャパシター表面積の拡大の初期にはトレンチ型が研究されていたが、シリコン(Si)の酸化膜により S/N 比が低下するという理由から、スタック型が使用されている。また、キャパシター形成でなく、 Si のトレンチにもスタック型を設けたスタックトレンチ型も使用されている。

【0006】 一方、16M、64MDRAMにつれて一層微細化、薄膜化が進み、例えば、64MDRAMではキャパシターサイズが $1.5 \mu m^2$ 、膜厚は酸化膜厚換算で50Å以下になると考えられている。その上、低消費電力化の方向にあり、また、信号電荷容量は静電容量と動作電圧の積であるから、電源電圧の低下は、静電容量の増加で補わなくてはならない。したがって、キャパシター表面積 S を増すために、最近では、フィン型、クラウン型、チムニー型等種々の工夫も提案されているが、これらのものは形状が複雑であるため製造工程の困難さは否めない。

【0007】 この問題を解決する手段として、以前から高誘電体膜としてしられていた五酸化タantal(Ta_2O_5)等の誘電率の高い材料が最近見直され、実用化への研究が行われている(月刊Semiconductor World 1990 5月号、月刊Semiconductor World 1987 3月号、J.Electrochem.Soc., Vol.136, No.3, March 1989参照)。

【0008】

【発明が解決しようとする課題】 しかしながら、 Ta_2O_5 はその誘電率の高さから、最も注目されている誘電体材料の1つであるが、十分満足できる良質な膜が形成されず、耐圧が低下してしまうという欠点があり、これが実用化の障壁になっている。

【0009】 良質な膜が形成されない大きな理由は、以下の3点である。

【0010】 ① Ta_2O_5 は下地の Si によって還元され易く、酸素(O)原子が不足になり、耐圧が不足すること(すなわち、標準生成自由エネルギー； $SiO_2 = -0.8244 J/mol$ 、 $Ta_2O_5 = -1.191 J/mol$ であるので、 Ta_2O_5 中の O は Si により還元され易い。)また、従来の有機系の Ta のガスソースと酸化ガスとを混合して連続的に堆積するCVDやスパッタ等の方法では、気相中で反応した成分が堆積するため化学量論(ストイキオメトリ)からずれた酸素不足な膜が形成され易い。これが誘電率の低下につながる。

【0011】 ②膜中にカーボン等の汚染があると、リーク電流発生の原因となり、耐絶縁性を低下させてしまう。特に、有機系の Ta のガスソースは、プラズマCVD等のプロセス中で分解し、中間生成物としてのカーボンが取り込まれ易くなる。

【0012】 ③容量を増大させるため、高アスペクト比構造の溝に堆積しようとしても、コンフォーマル(段差

被覆度の大きい構造の穴や内壁へ均一に堆積することが難しい。

【0013】このように、 Ta_2O_5 は強誘電体メモリーとしての物理的性質が高いにもかかわらず実用化への障壁が解消されていないのが現状である。

【0014】この発明は上記事情に鑑みなされたもので、未反応の中間生成物の取り込まれにくい、しかもストイキオメトリックに近い組成を有する高誘電率で耐圧特性の良好な Ta_2O_5 膜を形成する半導体の成膜方法を提供することを目的とするものである。

【0015】

【課題を解決するための手段】上記目的を達成するために、この発明の半導体の成膜方法は、半導体基板の表面に電極膜を形成する半導体の成膜方法を前提とし、有機タantalを含むソースガスと水素ラジカルを反応させて上記基板表面にタantalを均一に堆積させる工程と、上記ソースガスに酸素ラジカルを反応させて酸化させる工程とを繰り返し行うことによって、積層状の酸化タantal膜の誘電体膜を形成することを特徴とするものである。

【0016】この発明において、上記誘電体膜は積層状の酸化タantal膜であれば任意のものでよく、例えば酸化タantal膜と、酸化ジルコニウム、酸化チタン、酸化タングステン、酸化ニオブ、酸化ハフニウム及び酸化イットリウム等の高誘電率の金属酸化膜の一部又は全部とを交互に積層した積層膜とすることができる。

【0017】また、上記誘電体膜は上記積層構造であれば任意のものでよく、導電膜として、シリコン窒化膜、タantal窒化膜、チタン窒化膜又はタングステン窒化膜のいずれかを使用することができる。

【0018】

【作用】上記のように構成されるこの発明の半導体の成膜方法によれば、ソースガスの有機タantalと水素ラジカルとを反応させることにより、メチル基・エチル基等の炭化水素基を含んだタantal薄膜を半導体基板の深い溝穴に均一に堆積することができる。次いで、例えばマイクロ波放電等によって生じた酸素ラジカルを反応させることにより、充分なO原子の供給により化学量論的組成をもった Ta_2O_5 膜が形成できる。この際、同時にメチル基・エチル基等の炭化水素基は、O原子により酸化され、膜中からCO又はCO₂ガスとして抜け出てゆくの、カーボン汚染の少ない膜が形成できる。これを繰り返すことにより、膜厚が制御された化学量論的な薄膜が形成できる。

【0019】

【実施例】以下にこの発明の実施例を図面に基いて詳細に説明する。

【0020】図1はこの発明の成膜方法を実現する装置の一例であるプラズマCVD装置の概略断面図が示されている。

【0021】プラズマCVD装置は、試料である半導体基板1を載置する載置台2を配設する反応室3に、ソースガスを供給するソースガス導入口4と水素ラジカル又は酸素ラジカル等の反応媒体を供給する反応媒体導入口5を形成すると共に、真空ポンプ6と連結する排気口7を形成してなる。

【0022】ソースガス導入口4には開閉弁8及び流量制御弁9を介して例えばペンタジメチルアミノタantalウム($Ta[N(CH_3)_2]_5$)等の有機タantal(Ta)を収容するタantal供給源10が接続されており、このソースガス導入口4とタantal供給源10とを接続する管路11の途中に、例えばジルコニウム(Zr)、チタン(Ti)等のサブソースガスをそれぞれ収容するジルコニウム供給源、チタン供給源(図示せず)が開閉弁8及び流量制御弁9を介して連結されている。なおこの場合、サブソースガスとしてジルコニウム源とチタン源を使用しているが、必ずしもこれらのものに限定されるものではなく、例えばタングステン(W)源、ニオブ(Nb)源、ハフニウム(Hf)源あるいはイットリウム(Y)源等を使用することもできる。

【0023】一方、反応媒体導入口5にはプラズマ生成室12を介して互いに並列な水素ガスを収容する水素ガス供給源13と酸素ガスを収容する酸素ガス供給源14とがそれぞれ開閉弁8、8及び流量制御弁9、9を介して接続されており、水素ガスと酸素ガス、アンモニアガス、シランガスとが選択的にプラズマ生成室12内に送られるようになっている。この場合、プラズマ生成室12にはマイクロ波(2.45GHz)放電によるプラズマが用いられ、水素又は酸素のプラズマ化された電子が発散磁界によって反応室3内に送り出されるようになっている。

【0024】なお、反応室3内は、真空度 10^{-6} Torr、温度300℃の雰囲気と設定されている。

【0025】次に、この発明の成膜方法を図2に示すキャパシタセルを形成する場合について図3に示すタイムチャートを参照して説明する。

【0026】まず、例えば希HF処理あるいは希HF処理後の表面をHeI共鳴線で励起し、そこへイオン照射してH/F除去を行う等して載置台2上に載置された半導体基板1の表面の自然酸化膜を除去した後、例えばTi $[N(CH_3)_2]_4$ とH₂の混合ガス(0.5Torr)をマイクロ波放電(40W)によるダウンストリームにて反応室3内に供給して、基板1上にTi薄膜を堆積する。次いで、NH₃ガス(0.5Torr)をマイクロ波放電(40W)によるダウンストリームにてTiを酸化して、TiNの下部電極15を形成する。このとき、基板1の温度は100℃であり、下部電極15の膜厚は100Åである。

【0027】次に、例えばTa $[N(CH_3)_2]_5$ のよう有機タantalソースと水素(H₂)ラジカルを例

5

例えば 1×10^{-3} Torr 混合し、マイクロ波放電 (40 W) によるダウンストリームにて反応室 3 内に供給して、Ta 薄膜を堆積する。次いで、マイクロ波放電 (40 W) によるダウンストリームにて酸素ラジカル (1.0 Torr) と反応させて誘電体膜である酸化タンタル (Ta_2O_5) 薄膜 16 を形成する。このとき、酸化タンタル薄膜 16 の膜厚は 40 Å である。

【0028】次に、 NH_3 と SiH_4 ガスを例えば 1 Torr 混合し、マイクロ波放電 (40 W) によるダウンストリームにて導電膜としてのシリコン窒化膜 17 (Si_3N_4) を堆積する。このときのシリコン窒化膜 17 の膜厚は 10 Å である。

【0029】以下、上記酸化タンタル薄膜 16 とシリコン窒化膜 17 の成膜工程を繰り返して、 $\text{Ta}_2\text{O}_5/\text{Si}_3\text{N}_4$ の積層膜を形成する。これにより強誘電体キャパシターセルが形成される。また、シリコン窒化膜 17 によって酸化タンタル薄膜 16 中の酸素の還元防止が図れ、酸化タンタル薄膜 16 の Si 界面におけるリーク電流の発生が防止される。

【0030】最後に、下部電極 15 と同一の成膜工程を行って、上部電極 18 を形成すれば、成膜工程は完了する。

【0031】以上の成膜工程は図 3 に示すようにデジタル的に行われるので、未反応の中間生成物の取り込まれにくい、しかも化学量論的に近い組成をもった酸化タンタル薄膜 16 を形成することができる。したがって、高誘電率を保ち、かつ耐圧特性の良好な膜を形成することができる。また、異種の材料の多層構造膜が形成できるので、酸化タンタル薄膜 16 と Si 界面との間にシリコン窒化膜 17 等の導電膜を積層することができ、リーク電流の発生を防止することができる。

【0032】なお、上記実施例では、酸化タンタル薄膜 16 とシリコン窒化膜 17 とを 2 回積層した場合について説明したが、必ずしもこの積層構造のものに限定され

6

るものではなく、3 回以上積層した構造であってもよい。また、誘電体膜を、酸化タンタル膜と、酸化ジルコニウム、酸化チタン、酸化タングステン、酸化ニオブ、酸化ハフニウム及び酸化イットリウム等の高誘電率の金属酸化膜の一部又は全部とを交互に積層した積層膜とすることもできる。更に、タンタル窒化膜、チタン窒化膜又はタングステン窒化膜を上部及び下部電極膜として使用することができる。

【0033】

【発明の効果】以上に説明したように、この発明の半導体の成膜方法によれば、未反応の中間生成物の取り込まれにくい、しかも化学量論的に近い組成をもった酸化タンタル薄膜を容易に形成することができる。その結果、高誘電率を保ち、かつ耐圧特性の良好な膜を形成することができる。また、異種の材料の多層構造膜が形成できるので、酸化タンタル薄膜と Si 界面との間に Si 窒化膜等の導電膜を積層することができ、リーク電流の発生を防止することができる等の優れた効果が得られ、その利用価値は顕著である。

【図面の簡単な説明】

【図 1】この発明の成膜方法を実施するプラズマ CVD 装置の概略断面図である。

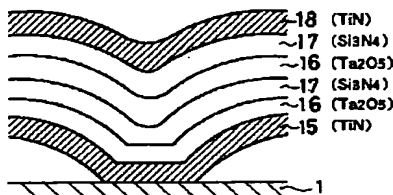
【図 2】キャパシターセルの成膜状態を示す拡大断面図である。

【図 3】成膜工程の一例を示すタイムチャートである。

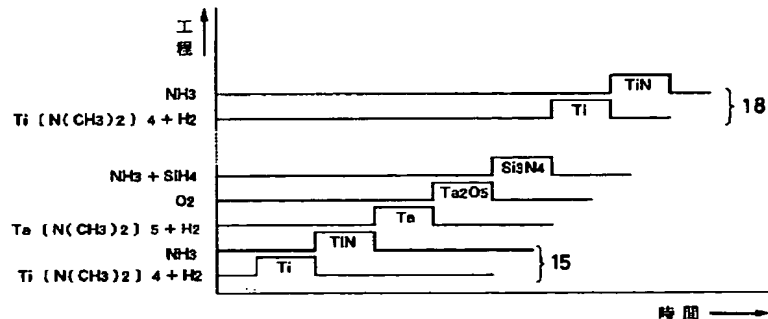
【符号の説明】

- 1 半導体基板
- 3 反応室
- 10 タンタル供給源
- 12 プラズマ生成室
- 13 水素供給源
- 14 酸素供給源
- 16 酸化タンタル薄膜 (誘電体膜)
- 17 シリコン窒化膜 (導電膜)

【図 2】



【図 3】



【図1】

